

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION
EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la Propriété
Intellectuelle
Bureau international



(43) Date de la publication internationale
4 août 2005 (04.08.2005)

PCT

(10) Numéro de publication internationale
WO 2005/071755 A1

(51) Classification internationale des brevets⁷ :
H01L 29/786, G09G 3/32

(21) Numéro de la demande internationale :
PCT/FR2004/003316

(22) Date de dépôt international :
20 décembre 2004 (20.12.2004)

(25) Langue de dépôt : français

(26) Langue de publication : français

(30) Données relatives à la priorité :
0315408 24 décembre 2003 (24.12.2003) FR

(71) **Déposant** (pour tous les États désignés sauf US) : **THOMSON LICENSING S.A.** [FR/FR]; 46, Quai Alphonse Le Gallo, F-92100 BOULOGNE BILLANCOURT (FR).

(72) **Inventeurs; et**

(75) **Inventeurs/Déposants** (pour US seulement) : **LE ROY, Philippe** [FR/FR]; 22, rue du Beau Vallon, F-35830 BETTON (FR). **PRAT, Christophe** [FR/FR]; 6, rue Jules Valles, F-44000 NANTES (FR).

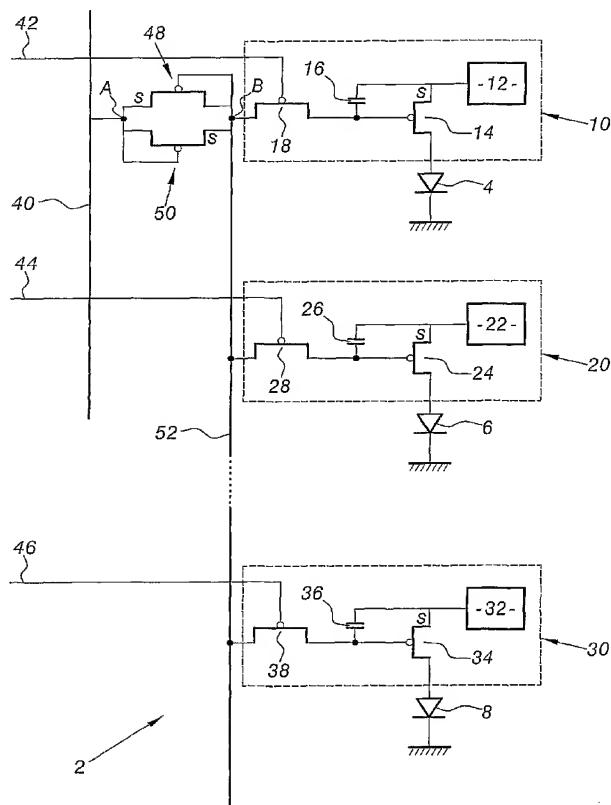
(74) **Mandataires** : **BLOT, Philippe** etc.; Cabinet Lavoix, 2, place d'Estienne d'Orves, F-75441 Paris Cedex 09 (FR).

(81) **États désignés** (sauf indication contraire, pour tout titre de protection nationale disponible) : AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO,

[Suite sur la page suivante]

(54) **Title:** IMAGE DISPLAY SCREEN AND METHOD FOR CONTROLLING SAID SCREEN

(54) **Titre :** ECRAN D'AFFICHAGE D'IMAGES ET PROCEDE DE PILOTAGE DE CET ECRAN



(57) **Abstract:** The invention relates to an image display screen consisting of light transmitters (4, 6, 8) distributed according to the transmitter lines and transmitter columns and transmitter emission control means (2, 10, 20, 30, 40, 42, 44, 46, 48, 50) which comprises a plurality of modulating transistors (14, 24, 34) each of which is associated with a network transmitter, said modulating transistors being positioned in such a way that they are adjacent to each other along a guiding line, a plurality of compensating transistors (48) for compensating the threshold triggering voltage of the modulating transistors. A single compensating transistor (48) is connected to the totality of modulating transistors (14, 24, 34) of a column for compensating the threshold triggering voltage of the totality of said modulating transistors (14, 24, 34) of the column. Said compensating transistor (48) is formed on the extension of said modulating transistors (14, 24, 34) of the column along the same guiding line. A method for controlling the inventive screen is also disclosed.

(57) **Abrégé :** L'invention concerne un écran d'affichage d'images comportant : des émetteurs de lumière (4, 6, 8) répartis selon des lignes d'émetteurs et des colonnes d'émetteurs ; des moyens de commande (2, 10, 20, 30, 40, 42, 44, 46, 48, 50) de l'émission des émetteurs comprenant : une pluralité de transistors de modulation (14, 24, 34) chacun associé à un émetteur du réseau, lesdits transistors de modulation étant positionnés adjacents les uns aux autres, le long d'une ligne directrice; une pluralité de transistors de compensation (48) aptes à compenser la tension de seuil de déclenchement des transistors de modulation. Un unique transistor de compensation (48) est connecté

[Suite sur la page suivante]

WO 2005/071755 A1



CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Publiée :

— avec rapport de recherche internationale

(84) États désignés (sauf indication contraire, pour tout titre de protection régionale disponible) : ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasién (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), européen (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI,

En ce qui concerne les codes à deux lettres et autres abréviations, se référer aux "Notes explicatives relatives aux codes et abréviations" figurant au début de chaque numéro ordinaire de la Gazette du PCT.

à l'ensemble des transistors de modulation (14, 24, 34) d'une colonne et est apte à compenser les tensions de seuil de déclenchement de l'ensemble desdits transistors de modulation (14, 24, 34) de cette colonne. Ce transistor de compensation (48) est formé dans le prolongement desdits transistors de modulation (14, 24, 34) d'une colonne le long de la même ligne directrice. L'invention concerne également un procédé de pilotage de cet écran.

Ecran d'affichage d'images et procédé de pilotage de cet écran.

La présente invention concerne un écran d'affichage.

En particulier, l'invention est relative à un écran d'affichage du type à
5 base de matériaux organiques électroluminescents, à matrice active, comprenant des transistors en couches minces.

Ces transistors sont réalisés par cristallisation d'un substrat de Silicium poly-cristallin obtenu par une technique de chauffage d'un substrat de Silicium amorphe par un laser excimère pulsé. Cette technique de fabrication
10 des transistors en couches minces est particulièrement économique.

Cependant, la cristallisation du Silicium amorphe génère la composition de grains de Silicium monocristallin d'orientation différente séparés par des joints de grains. Ces joints de grains introduisent des dispersions de tensions de seuil de déclenchement des transistors et des inhomogénéités de
15 l'intensité du courant les traversant pour une même tension appliquée à leur grille. Or, comme les émetteurs d'un écran produisent une lumière directement proportionnelle au courant qui les traverse, les dispersions des tensions de seuil de déclenchement se traduisent par des variations de luminance de l'écran.

Pour compenser ces dispersions, il est connu notamment par les documents WO 02/071379 et US 6 359 605, des écrans d'affichage du type précité. Toutefois, les transistors de compensation de ces écrans ne sont pas formés dans le prolongement de l'alignement des transistors de modulation d'une colonne. Ce type de formation garantit notamment une tension égale ou
20 du moins proche des tensions de seuil de déclenchement des transistors de modulation et de la tension de seuil de déclenchement du ou des transistors de compensation et par conséquence une meilleure uniformité de la luminance de l'écran.

Il est également connu, notamment par le document EP 1 220 191, d'introduire un transistor de compensation dans chaque circuit d'adressage d'un
30 émetteur de l'écran. Chaque transistor de compensation d'un circuit d'adressage est fabriqué à côté du transistor de modulation de ce même circuit. Ainsi, le transistor de modulation et le transistor de compensation du même

circuit d'adressage sont réalisés dans les mêmes conditions, par le même pinceau laser rectiligne de sorte que leurs tensions de seuil de déclenchement ont des valeurs proches aptes à se compenser l'une l'autre.

Toutefois, un tel écran nécessite également la fabrication d'un transistor d'initialisation et d'un transistor de sélection soit un total de quatre transistors pour commander l'émission de chaque émetteur de l'écran. Or, ces transistors réduisent considérablement la surface utile d'émission des pixels. De plus, la fabrication d'un grand nombre de transistors est peu économique.

L'invention a pour but de proposer un écran du type précité plus simple à fabriquer et plus économique.

A cet effet, l'invention a pour objet un écran d'affichage comportant :

- des émetteurs de lumière répartis selon des lignes d'émetteurs et des colonnes d'émetteurs pour former un réseau d'émetteurs,
- un substrat de Silicium sur lequel des moyens de commande de l'émission des émetteurs sont fabriqués, lesdits moyens de commande comprenant :
 - des moyens d'alimentation en puissance des émetteurs de lumière,
 - une pluralité d'électrodes d'adressage réparties selon les colonnes d'émetteurs, et aptes à transmettre une tension représentative d'une donnée d'image à chaque colonne d'émetteurs,
 - une pluralité d'électrodes de sélection réparties selon les lignes d'émetteurs, et aptes à transmettre un signal de sélection à chaque ligne d'émetteurs,
 - une pluralité de transistors de modulation, chacun associé à un émetteur du réseau, lesdits transistors de modulation comprenant une électrode de grille apte à être reliée à une électrode d'adressage et deux électrodes de passage du courant, chaque transistor de modulation étant apte à être traversé par un courant de drain pour alimenter ledit émetteur pour une tension entre son électrode de grille et une de ses électrodes de passage de courant supérieure ou égale à une tension de seuil de déclenchement, lesdits transistors de modulation étant répartis selon des colonnes associées aux

colonnes d'émetteurs et étant alignés sur le substrat suivant une ligne directrice,

- une capacité de charge connectée aux bornes de chaque transistor de modulation et apte à imposer un potentiel électrique à l'électrode de grille du transistor de modulation associé, et

- une pluralité de transistors de compensation aptes à compenser la tension de seuil de déclenchement des transistors de modulation en ajustant la charge du condensateur,

caractérisé en ce qu'il comporte un unique transistor de compensation, connecté à l'ensemble des transistors de modulation d'une même colonne et est apte à compenser les tensions de seuil de déclenchement de l'ensemble desdits transistors de modulation de cette colonne, ledit transistor de compensation est formé dans le prolongement de l'alignement desdits transistors de modulation d'une même colonne suivant ladite même ligne directrice.

Selon une caractéristique de l'invention, les moyens de commande ne comprennent aucun moyen autorisant la circulation d'un courant de l'une quelconque des électrodes d'adressage vers les moyens d'alimentation en puissance des émetteurs.

Chaque transistor de modulation associé à un émetteur est susceptible d'être traversé par un courant de drain pour alimenter ledit émetteur, ce courant d'alimentation circulant alors entre deux électrodes d'alimentation qui sont distinctes des électrodes d'adressage. Ainsi, aucun interrupteur de connexion d'une électrode d'adressage à un générateur d'alimentation des émetteurs n'est nécessaire.

Des tels interrupteurs sont au contraire présents dans les moyens de commande décrits dans le document WO 02/071379 ou dans le document US6359605. Dans les moyens de commande décrits dans ces documents, les électrodes d'adressages servent à transmettre un courant I_D représentatif d'une donnée d'image aux émetteurs, alors qu'elles servent à transmettre une tension V_D dans le cas de l'invention. Comme la programmation est réalisée en courant (et non en tension comme dans l'invention), les interrupteurs de connexion

précédemment cités sont nécessaires pour assurer la circulation du courant de programmation entre chaque électrode d'adressage et le circuit d'alimentation des émetteurs, pendant que la tension de grille du modulateur associé à cet émetteur s'établit progressivement à sa valeur de consigne, par exemple par le

5 système connu de miroir de courant.

Suivant des modes particuliers de réalisation, l'écran d'affichage comporte l'une ou plusieurs des caractéristiques suivantes :

- les moyens de commande comportent au moins un générateur de tension raccordé à l'une ou à chaque électrode d'adressage pour transmettre

10 une tension V_D représentative d'une donnée d'image ;

- le transistor de compensation de chaque colonne d'émetteurs comporte deux électrodes de passage de courant, chaque électrode de passage de courant étant raccordée en série entre l'électrode d'adressage de cette même colonne et les transistors de modulation de cette même colonne ;

15 - chaque transistor de compensation comprend une électrode de grille et deux électrodes de passage du courant, l'électrode de grille de chaque transistor de compensation étant raccordée à l'électrode de grille de l'ensemble des transistors de modulation de la colonne associée, une électrode de passage du courant de chaque transistor de compensation est raccordée à

20 l'électrode d'adressage de la colonne d'émetteurs associée et l'autre électrode de passage du courant de chaque transistor de compensation est raccordée à son électrode de grille ;

- lesdits transistors de modulation et ledit transistor de compensation associé sont fabriqués sur un substrat de Silicium poly-cristallin obtenu par

25 chauffage d'un substrat de Silicium amorphe, à l'aide d'un pinceau laser, ledit pinceau étant apte à chauffer d'abord une première surface rectangulaire de chauffage du substrat, à se déplacer selon une direction de déplacement et à chauffer ensuite une seconde surface de chauffage rectangulaire, et

- lesdits transistors de modulation associés aux émetteurs d'une

30 même colonne et le transistor de compensation associé sont alignés suivant une unique et même surface de chauffage, la ligne directrice d'alignement s'étendant sensiblement perpendiculairement à la direction du déplacement du pinceau laser ;

- lesdits transistors de modulation et ledit transistor de compensation associé comprennent chacun un canal entre deux couches de matériaux dopés, ledit canal étant connecté à leur électrode de grille, et le canal des transistors de modulation d'une colonne et le canal du transistor de compensation associé ont un axe principal sensiblement parallèle à ladite ligne directrice ;

- les moyens de commande comprennent des moyens d'initialisation des capacités de charge aptes à décharger l'ensemble des capacités de charge raccordées aux transistors de modulation d'une colonne ;

- les moyens d'initialisation comprennent un transistor d'initialisation comprenant une électrode de grille et deux électrodes de passage du courant, une électrode de passage du courant dudit transistor d'initialisation étant connectée à l'électrode de grille des transistors de modulation de ladite colonne, l'électrode de grille dudit transistor d'initialisation étant connectée à une électrode de passage du courant et à l'électrode d'adressage d'une colonne d'émetteur ;

- les moyens d'initialisation comprennent une diode dont la cathode est raccordée à l'électrode de grille des transistors de modulation et dont l'anode est raccordée à l'électrode d'adressage d'une colonne d'émetteurs ;

- les moyens de commande comportent une pluralité de transistors de sélection comportant une électrode de grille et deux électrodes de passage du courant, chaque transistor de sélection ayant une électrode de passage de courant raccordée à un transistor de modulation, une électrode de grille raccordée à une électrode de sélection et une électrode de passage de courant raccordée au transistor de compensation d'une colonne d'émetteurs ;

- les émetteurs sont des diodes électroluminescentes organiques.

L'invention a également pour objet un procédé de pilotage d'un écran d'affichage selon l'une quelconque des revendications 1 à 12, caractérisé en ce que le procédé comporte une étape d'application d'une tension V_D représentative d'une donnée d'image à chaque électrode d'adressage de chaque colonne d'émetteurs.

L'invention sera mieux comprise à la lecture de la description qui va suivre, donnée uniquement à titre d'exemple et faite en se référant aux dessins, sur lesquels :

- la figure 1 est une vue schématique partielle d'un écran selon l'invention ;

- la figure 2 est une vue en perspective représentant un substrat de Silicium chauffé par un rayon laser au cours du processus de fabrication des transistors implantés dans l'écran d'affichage selon l'invention ; et

- les figures 3A à 3E sont des graphes représentant l'évolution au cours du temps de tensions appliquées pendant le procédé d'adressage réalisé par les moyens de commande selon l'invention ; en particulier

- la figure 3A est un graphe représentant une tension de sélection appliquée à la première électrode de sélection d'un premier circuit d'adressage ;

- la figure 3B est un graphe représentant une tension appliquée à une électrode d'adressage d'une colonne d'émetteurs ;

- la figure 3C est un graphe représentant une tension de sélection appliquée à une seconde électrode de sélection d'un second circuit d'adressage ;

- la figure 3D est un graphe représentant une tension stockée par une capacité de charge d'un premier circuit d'adressage ; et

- la figure 3E est un graphe représentant une tension stockée par une capacité de charge d'un second circuit d'adressage.

La figure 1 représente partiellement un écran d'affichage selon l'invention. Cet écran comporte des moyens 2 de commande de l'émission de lumière depuis un ensemble d'éléments d'image ou pixels.

L'écran comporte des émetteurs 4, 6, 8 formés de diodes électroluminescentes organiques connues sous l'acronyme OLED dont la luminance est directement proportionnelle au courant qui les traverse. Ils sont répartis selon des lignes d'émetteurs et des colonnes d'émetteurs et forment un réseau.

Les moyens de commande 2 comprennent une pluralité de circuits d'adressage 10, 20, 30 chacun raccordé à un émetteur 4, 6, 8, une électrode d'adressage 40 par colonne d'émetteurs, une électrode de sélection 42, 44, 46 par ligne d'émetteurs, un transistor de compensation 48 et un transistor d'initialisation 50 par colonne d'émetteurs.

Chaque électrode d'adressage 40 est raccordé à un générateur de tension propre à lui appliquer une tension représentative d'une donnée d'image.

Pour des raisons de simplification, seuls trois émetteurs d'une même colonne d'émetteurs ainsi que des moyens de commande 2 d'adressage de ces
5 émetteurs ont été représentés sur la figure 1.

Le premier émetteur 2 de la colonne d'émetteurs est connecté à un premier circuit d'adressage 10. Le deuxième émetteur 4 de la colonne d'émetteurs est connecté à un deuxième circuit d'adressage 20. Enfin, le troisième émetteur 6 de la colonne d'émetteurs est connecté à un troisième
10 circuit d'adressage 30. Les circuits d'adressage 10, 20, 30 de cette colonne sont connectés à une même électrode d'adressage 40, mais sont chacun connecté à une électrode de sélection différente.

Les premier 10, deuxième 20 et troisième 30 circuits d'adressage sont identiques, ils comprennent les mêmes composants électroniques, reliés
15 de la même manière pour réaliser les mêmes fonctions. Pour simplifier la description, seul le premier circuit d'adressage 10 sera décrit de manière détaillée. Toutefois, pour différencier les composants des différents circuits d'adressage, ceux-ci ont une référence composée de la même unité que le premier circuit d'adressage 10 et d'une dizaine différente.

Les circuits d'adressage 10, 20, 30 comprennent un générateur 12, 22, 32 d'alimentation en puissance des émetteurs, un transistor de modulation
20 14, 24, 34 de courant, une capacité de charge 16, 26, 36 et un interrupteur de sélection 18, 28, 38, formé d'un transistor.

Le transistor de modulation 14, l'interrupteur de sélection 18, le
25 transistor de compensation 48 et le transistor d'initialisation 50 sont des transistors en couches minces de type p. Ils comprennent une électrode de drain, une électrode de source et une électrode de grille. Leur électrode de grille est connectée à un canal de drain formé entre deux couches de matériaux dopés. Ils sont aptes à être traversés par un courant, dit courant de drain, de
30 leur source vers leur drain lorsqu'une tension supérieure ou égale à leur tension de seuil de déclenchement V_{th} est appliquée entre leur grille et leur source. Alternativement, des transistors en couches minces de type n pourraient

également être utilisés pour la fabrication d'un écran selon l'invention. Dans ce cas, leur courant de drain circule de leur drain vers leur source.

La source du transistor de modulation 14 est raccordée au générateur 12. Le drain du transistor de modulation 14 est relié à l'anode de l'émetteur 4. La cathode de l'émetteur 4 est branchée à une électrode de masse. La grille du transistor de modulation 14 est raccordée à une borne de la capacité de charge 16 et à l'électrode de drain de l'interrupteur de sélection 18. La seconde borne de la capacité de charge 16 est connectée au générateur 12. La grille des interrupteurs 18, 28 et 38 du premier 10, deuxième 20 et troisième 30 circuits d'adressage est connecté respectivement à la première 42, la deuxième 44 et la troisième 46 électrodes de sélection.

Le transistor de compensation 48 est monté en parallèle au transistor d'initialisation 50 et est raccordé d'une part, au nœud B et d'autre part, à un nœud A d'embranchement avec l'électrode d'adressage 40 de colonne.

L'électrode de source du transistor 48 et l'électrode de drain du transistor 50 sont branchées à l'électrode d'adressage 40 de la colonne d'émetteurs. L'électrode de drain du transistor 48 et l'électrode source du transistor 50 sont connectées entre elles au nœud B.

L'électrode de grille du transistor 48 est reliée à son drain. L'électrode de grille du transistor 50 est également reliée à son drain. En conséquence, le transistor de compensation 48 est équivalent à une diode dont la cathode est connectée au nœud B et dont l'anode est connectée au nœud A. Cette diode est passante quand la différence de potentiel entre le nœud A et le nœud B est supérieure au seuil de déclenchement V_{th48} du transistor 48. Le transistor d'initialisation 50 est lui aussi équivalent à une diode. Cette diode est connectée en inverse par rapport à la diode équivalente au transistor 48. Sa cathode est reliée au nœud A. Son anode est reliée au nœud B. Cette diode est passante quand la différence de potentiel entre le nœud A et le nœud B est inférieure au seuil de déclenchement V_{th50} du transistor 50.

L'électrode de drain du transistor 48 et l'électrode source du transistor 50 sont connectées par une ligne 52 à chaque interrupteur 18, 28, 38 de l'ensemble des circuits d'adressage 10, 20, 30 de la colonne d'émetteurs. La grille du transistor de compensation 48 est connectée à la grille des transistors

de modulation 14, 24, 34 de l'ensemble des circuits d'adressage 10, 20, 30 d'une colonne d'émetteurs.

De plus, le transistor de compensation 48 est fabriqué dans les mêmes conditions que l'ensemble des transistors de modulation 14, 24, 34 d'une colonne d'émetteurs de sorte qu'il est apte à compenser les tensions de seuil de déclenchement de l'ensemble des transistors de modulation 14, 24, 34 de cette colonne.

L'électrode d'adressage 40 d'une colonne d'émetteurs est adaptée pour adresser une tension d'adressage représentative d'une donnée d'image aux circuits d'adressage de cette colonne d'émetteurs.

Les électrodes de sélection 42, 44, 46 sont propres à sélectionner un circuit d'adressage défini 10, 20, 30 dans une colonne de circuits d'adressage par application d'une tension de sélection sur une de ces électrodes de sélection de lignes.

La figure 2 représente schématiquement une étape du procédé de fabrication à basse température du Poly-Silicium formant la structure des transistors utilisés pour générer un écran selon l'invention.

Les transistors de modulation 14, 24 et 34 et de compensation 48 sont formés dans une même couche du Silicium Poly-cristallin obtenue après chauffage et cristallisation d'un substrat de Silicium amorphe.

Pendant l'étape de chauffage du substrat de Silicium amorphe 62, un pinceau laser 60 rectiligne à excimère chauffe une couche mince 62 de Silicium amorphe déposée sur un substrat 64 de verre. Ce pinceau laser 60 pulsé chauffe d'abord une première surface rectangulaire 66 qui s'étend longitudinalement le long d'une ligne directrice 72 puis, se déplace selon une direction de déplacement 68 et chauffe ensuite une seconde surface de chauffage 70 adjacente à la première surface de chauffage 66 et de même forme que celle-ci.

Les transistors de modulation d'une colonne d'émetteurs ainsi que le transistor de compensation 48 apte à compenser la tension de seuil de déclenchement de l'ensemble des transistors de modulation de cette colonne ont été représentés schématiquement en pointillés sur la figure 2.

Les transistors de modulation 14, 24, 34 d'une colonne adressés par la même électrode d'adressage 40 ainsi que le transistor de compensation 48 auquel ils sont reliés sont formés de manière à être positionnés alignés les uns dans le prolongement des autres, parallèlement à la grande longueur des surfaces de chauffage 66, 70 et perpendiculairement au sens de déplacement 68 du pinceau laser 60. De plus, ces transistors sont fabriqués sur une unique et même surface de chauffage 66 chauffée simultanément par le même pinceau laser 60. Plus précisément, les transistors de modulation 14, 24 et 34 et de compensation 48 sont réalisés de manière à ce que leur canal de drain ait un axe principal sensiblement perpendiculaire à la direction 68 de déplacement du pinceau laser.

En conséquence, ils présentent des tensions de seuil de déclenchement ayant des valeurs proches de sorte que le transistor de compensation 48 est apte à compenser les tensions de seuil de déclenchement de l'ensemble des transistors de modulation 14, 24, 34 d'une colonne d'émetteurs.

Les figures 3A à 3E représentent les étapes d'adressage des émetteurs d'un écran d'affichage selon l'invention.

Au cours d'une étape A d'initialisation du transistor de modulation 14, une tension de sélection V_{S42} est appliquée à l'électrode 42. L'interrupteur 18 est débloqué. Une tension d'adressage V_D , de valeur nulle ci-après nommée tension d'initialisation V_I , est appliquée à l'électrode d'adressage 40. La tension au nœud A est inférieure à la tension au nœud B. Le transistor d'initialisation 50 est débloqué, tandis que le transistor de compensation 48 se bloque. La tension d'initialisation est alors appliquée à la grille du modulateur 14 et à une borne de la capacité de charge 16 qui se décharge, tel qu'illustré sur la figure 3D.

Au cours d'une étape B de programmation de la capacité de charge 16, une tension d'adressage V_{D1} représentative d'une donnée d'image, est appliquée à l'électrode d'adressage 40, cette tension est modulée par le transistor de compensation 48 et est transmise au nœud B. Au nœud B, la valeur de la tension modulée par le transistor 48 est égale à $V_{D1} - V_{th48}$ où V_{th48} est la tension de seuil de déclenchement du transistor 48.

La tension de sélection V_{S42} est toujours appliquée à la grille de l'interrupteur de sélection 18, l'interrupteur 18 est débloquent. La tension d'adressage V_{D1} modulée par le transistor de compensation 48, est appliquée à la grille du transistor de modulation 14 et à une borne de la capacité de charge 16. Après un instant, le transistor de modulation 14 fonctionne en régime de saturation et son courant de drain I_d est défini par l'équation suivante :

$$I_d = \beta \times (V_{gs14} - V_{th14})^2$$

avec $V_{gs14} = V_{12} - V_{16}$

et $V_{16} = V_{D1} - V_{th48}$

Où I_d représente le courant de drain traversant le transistor de modulation 14,

β représente une constante fonction de la technologie employée et des caractéristiques du canal des transistors,

V_{gs14} représente la tension entre la grille et la source du transistor de modulation 14,

V_{12} représente la tension d'alimentation du générateur 12,

V_{16} représente la tension aux bornes de la capacité de charge 16,

V_{D1} représente la tension d'adressage de donnée,

V_{th48} représente la tension de seuil de déclenchement du transistor de compensation 48.

Comme les transistors de modulation 14 et de compensation 48 ont été fabriqués sur la même surface de chauffage, ils ont des tensions de seuil de déclenchement similaires.

$$V_{th48} = V_{th14}$$

alors

$$I_d = \beta \times (V_{12} - V_{D1})^2$$

Ainsi, le courant de drain I_d traversant le transistor de modulation 14 est indépendant de sa tension de seuil de déclenchement V_{th14} . La tension de seuil de déclenchement V_{th48} du transistor de compensation 48 compense la tension de seuil de déclenchement du transistor de modulation V_{th14} de sorte

que la luminance du pixel associé à l'émetteur 2 est constante pour une tension d'adressage donnée.

Au cours d'une étape intermédiaire C, une tension de sélection V_{S44} est appliquée à la deuxième électrode de sélection 44. L'interrupteur 28 du second circuit d'adressage 20 est débloqué. A la fin de l'étape C, la tension de sélection V_{S42} cesse d'être appliquée à l'électrode de sélection 42 du premier circuit d'adressage 10 de sorte que l'interrupteur 18 est bloqué. La capacité de charge 16 stocke des charges à la grille du transistor de modulation 14 de sorte que celui-ci continue à alimenter l'émetteur 4 jusqu'à la prochaine étape d'initialisation V_I du modulateur 14, tel qu'illustré sur la figure 3D.

Au cours d'une étape D d'initialisation de la capacité de charge 26 du second circuit d'adressage 20, une tension d'adressage V_D de valeur nulle dite tension d'initialisation V_I est appliquée à l'électrode d'adressage 40 de colonne. Par suite, la tension au nœud A devient inférieure à la tension au nœud B. Le transistor d'initialisation 50 devient passant et le transistor de compensation 48 se bloque. La tension d'initialisation adressée par l'électrode d'adressage 40, modulée par le transistor 50, est alors transférée aux bornes de la capacité de charge 26 qui se décharge.

Au cours d'une étape E de programmation de la capacité de charge 26, une tension d'adressage V_{D2} est appliquée à l'électrode d'adressage 40. La tension au nœud A devient supérieure à la tension au nœud B. Le transistor de compensation 48 est à nouveau débloqué tandis que le transistor d'initialisation 50 se bloque. La tension au nœud B, modulée par le transistor de compensation 48 est égale à $V_{D2} - V_{th48}$ où V_{th48} représente la tension de seuil de déclenchement du transistor de compensation 48. La tension au nœud B est transmise à la grille du modulateur 24 par la ligne 52 et l'interrupteur 28 qui a été débloqué par application d'une tension de sélection V_{S44} sur l'électrode de sélection 44.

Comme les transistors de modulation 24 et de compensation 48 ont été fabriqués sur la même surface de chauffage le long de la même ligne directrice 72, la tension de seuil V_{th48} du transistor 48 est identique à la tension de seuil V_{th24} du transistor 24.

$$V_{th48} = V_{th24}$$

En conséquence,

$$I_d = \beta \times (V_{22} - V_{D2})^2$$

Où V_{22} représente la tension d'alimentation du générateur 22,

V_{D2} représente la tension d'adressage de donnée.

5 Ainsi, le transistor de compensation 48 est apte à compenser la tension de seuil de déclenchement du transistor de modulation 14 du premier circuit d'adressage 10, du transistor de modulation 24 du deuxième circuit d'adressage 20 et de l'ensemble des transistors de modulation d'une même colonne quand ses transistors sont obtenus par chauffage simultanément d'une surface de Silicium et disposés le long d'une même ligne.

De plus, le transistor d'initialisation 50 des capacités de charge est apte à décharger l'ensemble des capacités de charge 16, 26, 36 des circuits d'adressage d'une même colonne.

15 Alternativement, le transistor d'initialisation 50 peut être remplacé par une diode dont la cathode est raccordée à l'électrode de grille des transistors de modulation et dont l'anode est raccordée à l'électrode d'adressage de colonne d'émetteurs associée à ladite colonne de transistors.

Avantageusement, les circuits d'adressage de l'écran selon l'invention sont pilotés en tension de sorte que l'adressage des pixels est
20 réalisé plus rapidement. En effet, les temps de programmation en courant ne sont plus nécessaires puisque la tension est directement appliquée à la grille des modulateurs et aux capacités de charge. De plus, les circuits d'adressage pilotés en tension sont simples à réaliser et ont un coût de fabrication avantageux par rapport aux circuits d'adressage en courant.

25

REVENDEICATIONS

1. Ecran d'affichage comportant :

- des émetteurs de lumière (4, 6, 8) répartis selon des lignes d'émetteurs et des colonnes d'émetteurs pour former un réseau d'émetteurs,
 - 5 - un substrat de Silicium (62) sur lequel des moyens de commande (2, 10, 20, 30, 40, 42, 44, 46, 48, 50) de l'émission des émetteurs sont fabriqués, lesdits moyens de commande comprenant :
 - des moyens (12, 22, 32) d'alimentation en puissance des émetteurs de lumière (4, 6, 8),
 - 10 - une pluralité d'électrodes d'adressage (40) réparties selon les colonnes d'émetteurs, et aptes à transmettre une tension (V_D) représentative d'une donnée d'image à chaque colonne d'émetteurs,
 - une pluralité d'électrodes de sélection (42, 44, 46) réparties selon les lignes d'émetteurs, et aptes à transmettre un signal de sélection (V_{S42} ,
15 V_{S44}) à chaque ligne d'émetteurs,
 - une pluralité de transistors de modulation (14, 24, 34), chacun associé à un émetteur du réseau, lesdits transistors de modulation comprenant une électrode de grille apte à être reliée à une électrode d'adressage (40) et deux électrodes de passage du courant, chaque transistor
20 de modulation étant apte à être traversé par un courant de drain pour alimenter ledit émetteur pour une tension entre son électrode de grille et une de ses électrodes de passage de courant supérieure ou égale à une tension de seuil de déclenchement (V_{th}), lesdits transistors de modulation étant répartis selon des colonnes associées aux colonnes d'émetteurs et étant alignés sur le
25 substrat (62) suivant une ligne directrice (72),
 - une capacité de charge (16, 26, 36) connectée aux bornes de chaque transistor de modulation (14, 24, 34) et apte à imposer un potentiel électrique à l'électrode de grille du transistor de modulation associé, et
 - une pluralité de transistors de compensation (48) aptes à
30 compenser la tension de seuil de déclenchement des transistors de modulation en ajustant la charge du condensateur,
- caractérisé en ce qu'un unique transistor de compensation (48) est connecté à l'ensemble des transistors de modulation (14, 24, 34) d'une même

colonne et est apte à compenser les tensions de seuil de déclenchement de l'ensemble desdits transistors de modulation (14, 24, 34) de cette colonne,

et en ce que ledit transistor de compensation (48) est formé dans le prolongement de l'alignement desdits transistors de modulation (14, 24, 34)
5 d'une même colonne suivant ladite même ligne directrice (72).

2. Ecran d'affichage selon la revendication 1, caractérisé en ce que les moyens de commande ne comprennent aucun moyen autorisant la circulation d'un courant de l'une quelconque des électrodes d'adressage (40) vers les moyens (12, 22, 32) d'alimentation en puissance des émetteurs.

10 3. Ecran d'affichage selon l'une quelconque des revendications 1 et 2, caractérisé en ce que les moyens de commande comportent au moins un générateur de tension raccordé à l'une ou à chaque électrode d'adressage (40) pour transmettre une tension (V_D) représentative d'une donnée d'image.

4. Ecran d'affichage selon l'une quelconque des revendications 1 à 3,
15 caractérisé en ce que le transistor de compensation (48) de chaque colonne d'émetteurs comporte deux électrodes de passage de courant, chaque électrode de passage de courant étant raccordée en série entre l'électrode d'adressage (40) de cette même colonne et les transistors de modulation (14, 24, 34) de cette même colonne.

20 5. Ecran d'affichage selon l'une quelconque des revendications 1 à 4, caractérisé en ce que chaque transistor de compensation (48) comprend une électrode de grille et deux électrodes de passage du courant, l'électrode de grille de chaque transistor de compensation (48) étant raccordée à l'électrode de grille de l'ensemble des transistors de modulation (14, 24, 34) de la colonne associée, en ce qu'une électrode (51) de passage du courant de chaque transistor de compensation (48) est raccordée à l'électrode d'adressage (40) de la colonne d'émetteurs associée, et en ce que l'autre électrode de passage du courant de chaque transistor de compensation est raccordée à son électrode de grille.

30 6. Ecran d'affichage selon l'une quelconque des revendications 1 à 5, caractérisé en ce que lesdits transistors de modulation (14, 24, 34) et ledit transistor de compensation (48) associé sont fabriqués sur un substrat de Silicium poly-cristallin obtenu par chauffage d'un substrat (62) de Silicium

amorphe, à l'aide d'un pinceau laser (60), ledit pinceau étant apte à chauffer d'abord une première surface (66) rectangulaire de chauffage du substrat, à se déplacer selon une direction de déplacement (68) et à chauffer ensuite une seconde surface (70) de chauffage rectangulaire, et en ce que

5 lesdits transistors de modulation (14, 24, 34) associés aux émetteurs d'une même colonne et le transistor de compensation associé sont alignés suivant une unique et même surface de chauffage (66), la ligne directrice (72) d'alignement s'étendant sensiblement perpendiculairement à la direction du déplacement (68) du pinceau laser (60).

10 7. Ecran d'affichage selon l'une quelconque des revendications précédentes, caractérisé en ce que lesdits transistors de modulation (14, 24, 34) et ledit transistor de compensation (48) associé comprennent chacun un canal entre deux couches de matériaux dopés, ledit canal étant connecté à leur électrode de grille, et en ce que le canal des transistors de modulation (14, 24,
15 34) d'une colonne et le canal du transistor de compensation associé ont un axe principal sensiblement parallèle à ladite ligne directrice (72) .

8. Ecran d'affichage selon l'une quelconque des revendications précédentes, caractérisé en ce que les moyens de commande (2, 10, 20, 30, 40, 42, 44, 46, 48, 50) comprennent des moyens d'initialisation (50) des
20 capacités de charge (16, 26, 36) aptes à décharger l'ensemble des capacités de charge raccordées aux transistors de modulation d'une colonne.

9. Ecran d'affichage selon la revendication 8, caractérisé en ce que les moyens d'initialisation (50) comprennent un transistor d'initialisation (50) comprenant une électrode de grille et deux électrodes de passage du courant, une électrode de passage du courant dudit transistor d'initialisation (50) étant
25 connectée à l'électrode de grille des transistors de modulation (14, 24, 34) de ladite colonne, l'électrode de grille dudit transistor d'initialisation (50) étant connectée à une électrode de passage du courant et à l'électrode d'adressage (40) d'une colonne d'émetteurs.

30 10. Ecran d'affichage selon la revendication 8, caractérisé en ce que les moyens d'initialisation (50) comprennent une diode dont la cathode est raccordée à l'électrode de grille des transistors de modulation (14, 24, 34) et

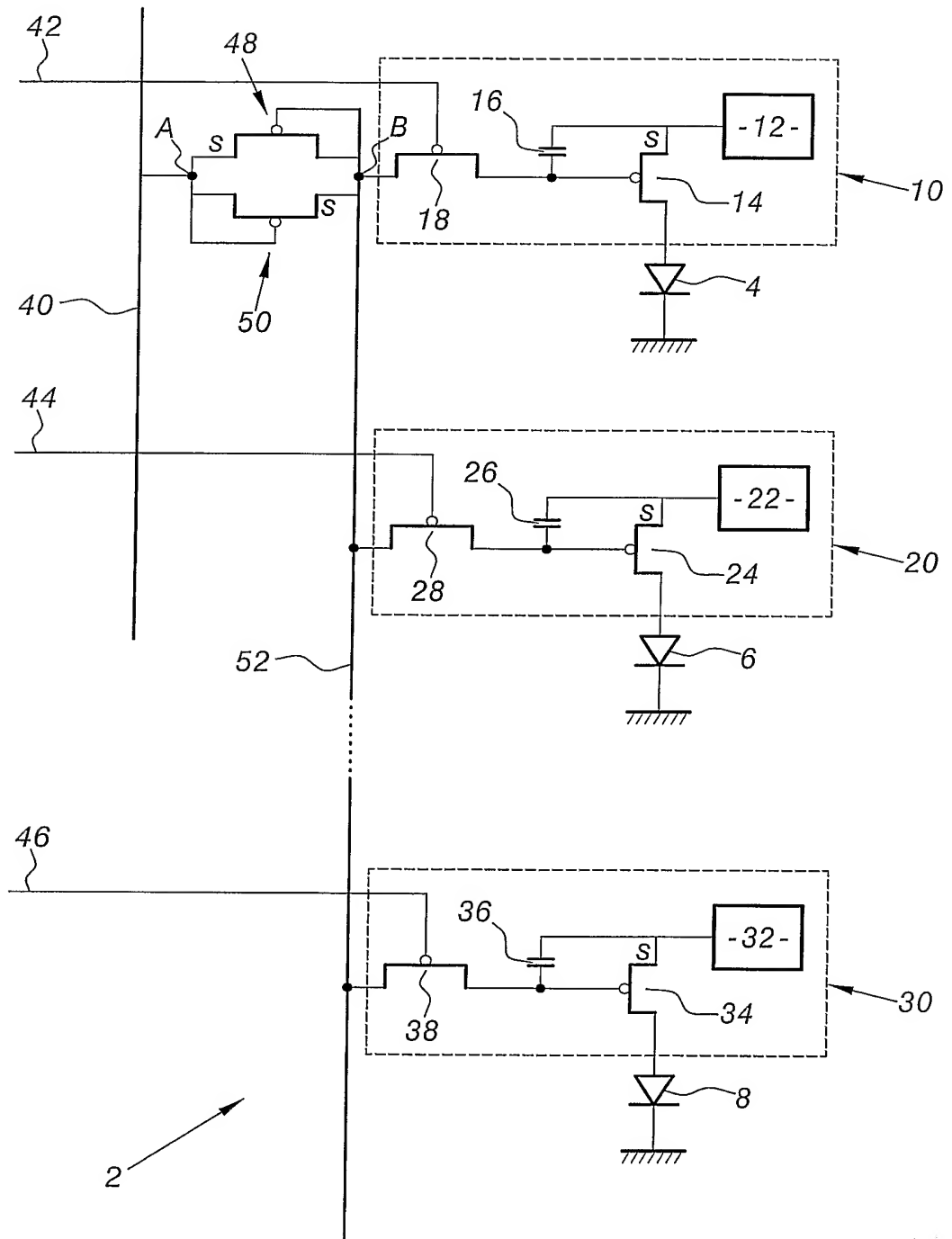
dont l'anode est raccordée à l'électrode d'adressage (40) d'une colonne d'émetteurs.

11. Ecran d'affichage selon l'une quelconque des revendications précédentes, caractérisé en ce que les moyens de commande (2, 10, 20, 30, 40, 42, 44, 46, 48, 50) comportent une pluralité de transistors de sélection (18, 28, 38) comportant une électrode de grille et deux électrodes de passage du courant, chaque transistor de sélection ayant une électrode de passage de courant raccordée à un transistor de modulation (14, 24, 34), une électrode de grille raccordée à une électrode de sélection (42, 44, 46) et une électrode de passage de courant raccordée au transistor de compensation (48) d'une colonne d'émetteurs.

12. Ecran d'affichage selon l'une quelconque des revendications précédentes, caractérisé en ce que les émetteurs (4) sont des diodes électroluminescentes organiques.

13. Procédé de pilotage d'un écran d'affichage selon l'une quelconque des revendications 1 à 12, caractérisé en ce que le procédé comporte une étape d'application d'une tension (V_D) représentative d'une donnée d'image à chaque électrode d'adressage (40) de chaque colonne d'émetteurs (4, 6, 8).

1/3

**FIG. 1**

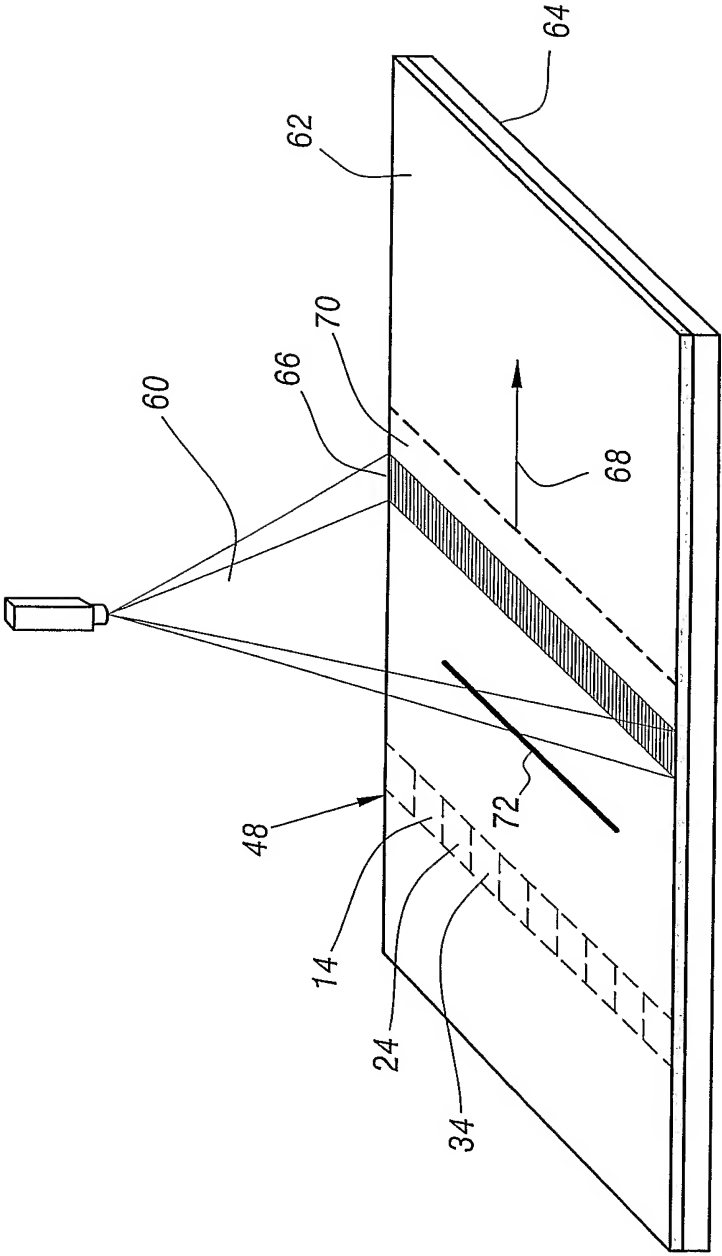


FIG. 2

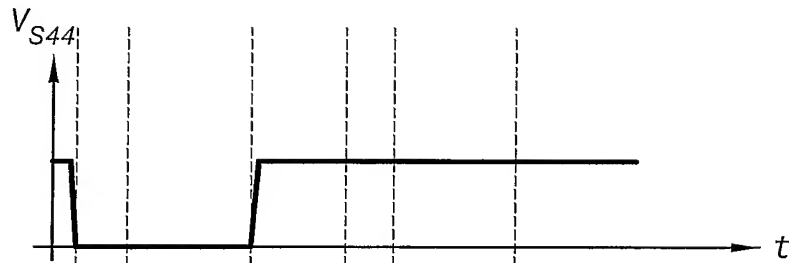


FIG. 3A

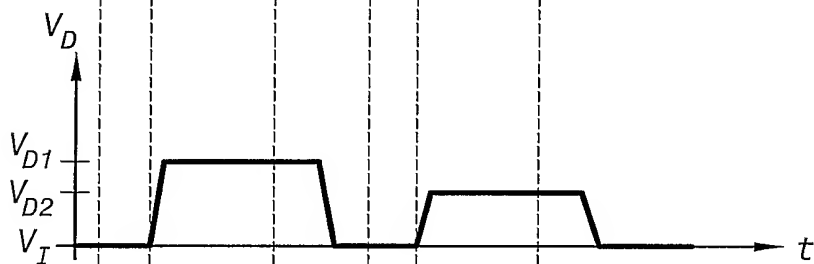


FIG. 3B

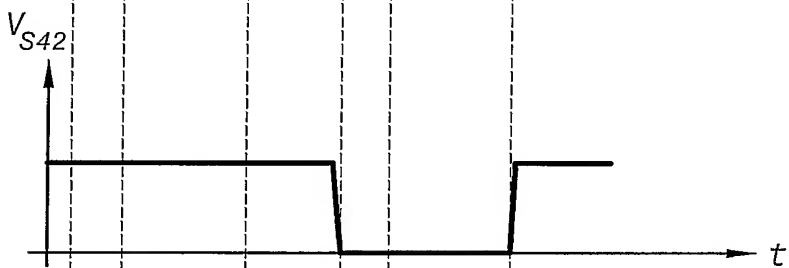


FIG. 3C

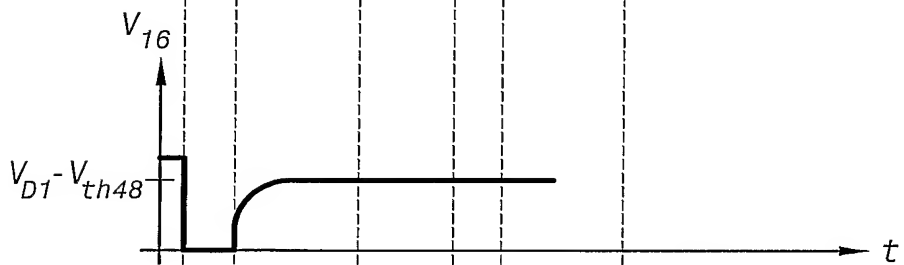


FIG. 3D

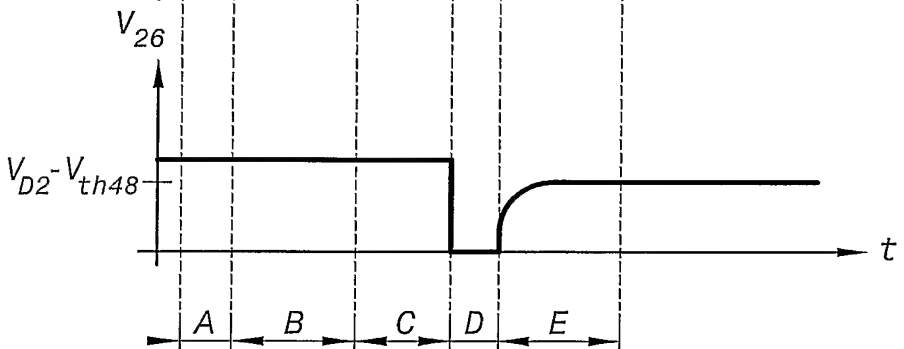


FIG. 3E

A B C D E

INTERNATIONAL SEARCH REPORT

International Application No
PCT/FR2004/003316A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H01L29/786 G09G3/32

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 G09G H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category ° | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|------------|--|-----------------------|
| X | US 2002/126073 A1 (KNAPP ALAN G ET AL) 12 September 2002 (2002-09-12) abstract paragraphs '0006! - '0009!, '0026! - '0030!, '0037! - '0042!; figures 3-5 | 1,2 |
| A | ----- | 3-13 |



Further documents are listed in the continuation of box C.



Patent family members are listed in annex.

° Special categories of cited documents:

A document defining the general state of the art which is not considered to be of particular relevance

E earlier document but published on or after the international filing date

L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

O document referring to an oral disclosure, use, exhibition or other means

P document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

& document member of the same patent family

Date of the actual completion of the international search

26 April 2005

Date of mailing of the international search report

12/05/2005

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Wolff, L

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/FR2004/003316

| Patent document cited in search report | Publication date | Patent family member(s) | Publication date |
|---|---------------------|----------------------------|---------------------|
| US 2002126073 A1 | 12-09-2002 | DE 69921606 D1 | 09-12-2004 |
| | | EP 1034529 A2 | 13-09-2000 |
| | | WO 9965012 A2 | 16-12-1999 |
| | | JP 2002518691 T | 25-06-2002 |
| | | US 6359605 B1 | 19-03-2002 |
| <hr/> | | | |

Demande Internationale No
PC1/FR2004/003316

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

Documentation minimale consultée (système de classification suivi des symboles de classement)
CIB 7 G09G H01L

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)

EPO-Internal, WPI Data, PAJ

| Catégorie ° | Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents | no. des revendications visées |
|-------------|--|-------------------------------|
| X A | US 2002/126073 A1 (KNAPP ALAN G ET AL) 12 septembre 2002 (2002-09-12) abrégé alinéas ‘0006! – ‘0009!, ‘0026! – ‘0030!, ‘0037! – ‘0042!; figures 3-5 ----- | 1,2 3-13 |

☐ Voir la suite du cadre C pour la fin de la liste des documents

☒ Les documents de familles de brevets sont indiqués en annexe

- "A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent
- "E" document antérieur, mais publié à la date de dépôt international ou après cette date
- "L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)
- "O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens
- "P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

- *T* document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention
- *X* document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément
- *Y* document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier
- *Z* document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

26 avril 2005

Date d'expédition du présent rapport de recherche internationale

12/05/2005

Nom et adresse postale de l'administration chargée de la recherche internationale
Office Européen des Brevets, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Wolff, L

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs

nombres de familles de brevets

Dernière Internationale No

PCT/FR2004/003316

| Document brevet cité au rapport de recherche | Date de publication | Membre(s) de la famille de brevet(s) | Date de publication |
|---|------------------------|---|------------------------|
| US 2002126073 A1 | 12-09-2002 | DE 69921606 D1 | 09-12-2004 |
| | | EP 1034529 A2 | 13-09-2000 |
| | | WO 9965012 A2 | 16-12-1999 |
| | | JP 2002518691 T | 25-06-2002 |
| | | US 6359605 B1 | 19-03-2002 |
| <hr/> | | | |